

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-357693
 (43)Date of publication of application : 26.12.2000

(51)Int.Cl. H01L 21/3205
 H01L 29/41
 // H01L 23/28

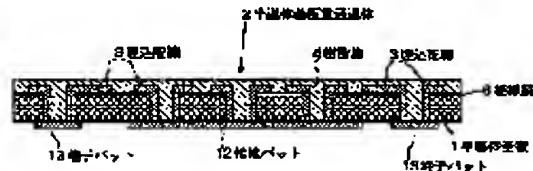
(21)Application number : 11-169903 (71)Applicant : NEC CORP
 (22)Date of filing : 16.06.1999 (72)Inventor : ASAII SHUJI

(54) SEMICONDUCTOR DEVICE AND METHOD OF FORMING CONDUCTOR PIERCING SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor substrate, having stable semiconductor substrate-piercing conductors which will not cause damages, such as crack and effect semiconductor elements, etc., on the surface.

SOLUTION: Semiconductor elements and their circuits are formed on a semiconductor substrate 1 surface of a semiconductor device and protected with an insulation film 6, openings which pierce from the surface to the backside are bored at prescribed positions on the semiconductor substrate 1, embedded wirings 3 of a metal film are formed on the inner surfaces of the openings as semiconductor substrate-piercing conductors, spaces surrounded by the embedded wirings 3 are filled with a resin film 4, and ground pads 12 or terminal pads 13 are provided at prescribed positions on the backside of the semiconductor substrate.



LEGAL STATUS

[Date of request for examination] 25.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3287408

[Date of registration] 15.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-357693

(P2000-357693A)

(43)公開日 平成12年12月26日 (2000.12.26)

(51)Int.Cl.⁷
H 01 L 21/3205
29/41
// H 01 L 23/28

識別記号

F I
H 01 L 21/88
23/28
29/44

テマコト⁷(参考)
J 4 M 1 0 4
Z 4 M 1 0 9
B 5 F 0 3 3

審査請求 有 請求項の数8 O L (全 8 頁)

(21)出願番号

特願平11-169903

(22)出願日

平成11年6月16日 (1999.6.16)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 浅井 周二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088328

弁理士 金田 幡之 (外2名)

Fターム(参考) 4M104 BB14 CC01 CG20

4M109 BA03 DB16 DB17 EE07

5F033 JJ13 JJ18 NN01 PP15 PP27

QQ07 QQ12 QQ37 QQ47 RR04

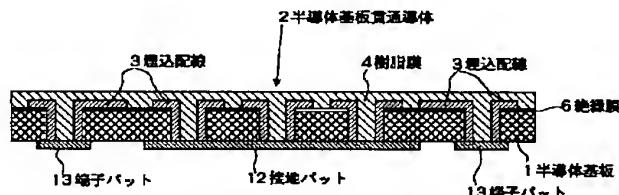
XX17

(54)【発明の名称】 半導体装置および半導体基板貫通導体の形成方法

(57)【要約】

【課題】 半導体基板にクラック等の破損を生ぜず、表面の半導体素子等に影響を及ぼない、安定した半導体基板貫通導体を有する半導体装置と半導体基板貫通導体の形成方法を提供する。

【解決手段】 半導体装置の半導体基板1の表面には不図示の半導体素子とその回路が形成されて絶縁膜6で保護されており、半導体基板1の所定の位置に表面から裏面に貫通する開口が穿孔され、その開口の内面部に半導体基板貫通導体となる金属膜の埋込配線3が形成され、この埋込配線3により囲まれた空間部が樹脂膜4によって充填されている。半導体基板の裏面には所定の位置に接地パット12または端子パット13が設けられている。



【特許請求の範囲】

【請求項1】 半導体基板の表面に半導体素子とその回路が形成され、該半導体基板の所定の位置に表面から裏面に貫通する開口があり、該開口の内壁に金属膜（貫通金属膜）が形成され、該貫通金属膜は該半導体基板の裏面に設けられた導体膜（裏面導体膜）に電気的に接続されている半導体装置において、前記開口内に形成された前記貫通金属膜により囲まれた空間部が樹脂によって充填されていることを特徴とする半導体装置。

【請求項2】 前記裏面導体膜が前記貫通する開口を覆う加工されたパットである請求項1に記載の半導体装置。

【請求項3】 前記裏面導体膜が、前記半導体基板の裏面全体を覆っている請求項1に記載の半導体装置。

【請求項4】 前記裏面導体膜が、前記半導体装置を取り付けるパッケージおよび実装基板のいずれかに設けられた導体に、はんだで電気的に接続可能な状態に形成されている請求項1に記載の半導体装置。

【請求項5】 半導体素子とその回路が形成される半導体基板の所定の位置に該半導体基板の表面から裏面の途中まで所定の径の非貫通穴を形成する工程と、前記半導体基板の表面の所定の領域と前記非貫通穴の内壁に金属膜を形成する工程と、前記非貫通穴の内壁に形成された前記金属膜に囲まれた空間に樹脂を充填する工程と、前記金属膜と前記樹脂とが露出するまで前記半導体基板の裏面を研磨する工程と、を有することを特徴とする半導体基板貫通導体の形成方法。

【請求項6】 前記半導体基板の裏面で露出した前記金属膜と前記樹脂とを覆う所定の領域に、導体層を形成する工程を有する請求項5に記載の半導体基板貫通導体の形成方法。

【請求項7】 半導体素子とその回路が形成される半導体基板の表面に金属配線の一部として接続用のパッドを形成する工程と、所定の径の貫通孔を前記パッドに達するまで前記半導体基板の裏面から前記半導体基板に形成する工程と、前記貫通孔の内面と底面および前記半導体基板の裏面の全体に金属膜を形成する工程と、前記貫通孔の前記金属膜に囲まれた空間に樹脂を充填する工程と、前記樹脂が前記空間に充填された状態で、前記半導体基板の裏面に形成された前記金属膜が露出するまで前記半導体基板の裏面を研磨する工程と、を有することを特徴とする半導体基板貫通導体の形成方法。

【請求項8】 前記半導体基板の裏面で前記貫通孔を覆う所定の領域に導体層を形成する工程を有する請求項7に記載の半導体基板貫通導体の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に半導体基板を貫通して両面を電気接続する半導体基板貫通導体の構造と形成方法に関する。

【0002】

【従来の技術】 高周波トランジスタのアナログ集積回路や出力素子の接地を行うために、半導体チップ表面の回路素子群から基板の貫通孔に設けられた導体を通して半導体チップ裏面に電気接続することが行われている。半導体チップは裏面側をはんだ材で実装基板やパッケージの金属面に接着され、チップ表面の配線パッドに金属ワイヤをボンディングすることで実装基板やパッケージの電極に接続される。ここで接地も金属ワイヤを用いて行うことも可能であるが、金属ワイヤはインダクタ成分や抵抗成分を含むため、回路が不安定になり易い。そこで基板を貫通して直接に短距離で裏面に接続して接地することで、インダクタや抵抗の成分を抑制し、高周波性能を安定化できる。

【0003】 従来一般に、半導体基板貫通導体は基板を研磨で薄くした後、裏面にホトレジスト膜パターンを設けてドライエッチング等で開口された貫通孔を用いて形成される。この場合表面の受け電極と裏面からエッチングする開口の位置合わせを行う必要があるが、表面と裏面との位置合わせ精度には誤差があるため、表面の受け電極を余裕を持った大きさとする必要があった。

【0004】 この課題を解決するため、我々は表面から直接に半導体基板貫通導体を開口することを特開平5-47937号公報で提案している。図6はこの従来例の半導体基板貫通導体の形成方法を説明するための模式的断面図であり、(a)は非貫通穴形成の工程、(b)は埋込配線形成の工程、(c)は裏面研磨の工程、(d)は裏面に金属層を形成する工程を示す。

【0005】 図6(a)を参照すると、半導体基板51の表面には不図示の素子や回路が形成され、この工程の一部として半導体基板51の表面から基板の途中まで非貫通穴61をドライエッチングで開口する。この深さは例えば基板厚さ400μmに対して100μmである。次に、図6(b)に示すように、配線工程の一部として非貫通穴61にAuめっき等で配線金属を入れ込んで埋込配線53を形成する。次に、図6(c)に示すように、半導体基板51の厚さが100μmになるまで半導体基板51の裏面を研磨することによって、埋込配線53の底面が露出し半導体基板貫通導体52が完成する。さらに、図6(d)に示すように、半導体基板51の裏面に接地用の裏面金属55を形成することにより、半導体基板貫通導体52が接地される。

【0006】

【発明が解決しようとする課題】 しかし、従来例の製造方法において、埋込配線53の底部で裏面研磨を止めることは精度的に難しい。この対策として半導体基板貫通

導体52を深くまで設け、埋込配線53の底部を越えて裏面研磨を行なうことが行われる。しかしこの場合半導体基板貫通導体52の底面を形成する埋め込み金属がなくなるので底面に埋め込まれてない貫通孔が露出する。裏面金属55を形成したときにこの貫通孔が埋め込まれないままで残ると、半導体チップをはんだ材でパッケージ等に接着するとき、はんだ材が貫通孔に吸い上げられて内部に入り込み、半導体基板51とはんだ材との熱膨張率の相違から半導体基板51に半導体基板貫通導体52部分からひび割れ(クラック)等が生じる場合があり、このクラックが表面にある半導体素子や回路配線を破損させたり劣化させるという問題点があった。

【0007】この対策として、半導体基板貫通導体52の内部をAuめっきで完全に埋め込むことも可能である。しかし製造途中の熱履歴によりAuと半導体基板51との熱膨張率の違いにより半導体基板51へのクラックの発生が認められた。特に接地のために接近して多数の半導体基板貫通導体52を一列に設けたとき、半導体基板貫通導体52間の基板破損が顕著であった。このため、半導体基板貫通導体52を金属で完全に埋め込むことにも問題点が発生した。

【0008】本発明の目的は、半導体基板にクラック等の破損を生ぜず、表面の半導体素子等に影響を及ぼない、安定した半導体基板貫通導体を有する半導体装置と半導体基板貫通導体の形成方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の半導体装置は、半導体基板の表面に半導体素子とその回路が形成され、その半導体基板の所定の位置に表面から裏面に貫通する開口があり、その開口の内壁に金属膜(貫通金属膜)が形成され、その貫通金属膜はその半導体基板の裏面に設けられた導体膜(裏面導体膜)に電気的に接続されている半導体装置において、開口内に形成された貫通金属膜により囲まれた空間部が樹脂によって充填されている。

【0010】裏面導体膜が貫通する開口を覆う加工されたパットであってもよく、裏面導体膜が、半導体基板の裏面全体を覆っていてもよく、裏面導体膜が、半導体装置を取り付けるパッケージおよび実装基板のいずれかに設けられた導体に、はんだで電気的に接続可能な状態に形成されていることが望ましい。

【0011】本発明の半導体基板貫通導体の製造方法は、半導体素子とその回路が形成される半導体基板の所定の位置にその半導体基板の表面から裏面の途中まで所定の径の非貫通穴を形成する工程と、半導体基板の表面の所定の領域と非貫通穴の内壁に金属膜を形成する工程と、非貫通穴の内壁に形成された金属膜に囲まれた空間に樹脂を充填する工程と、金属膜と樹脂とが露出するまで半導体基板の裏面を研磨する工程とを有する。

【0012】半導体基板の裏面で露出した金属膜と樹脂とを覆う所定の領域に、導体層を形成する工程を有して

もよい。

【0013】他の態様では、半導体素子とその回路が形成される半導体基板の表面に金属配線の一部として接続用のパッドを形成する工程と、所定の径の貫通孔をパッドに達するまで半導体基板の裏面から半導体基板に形成する工程と、貫通孔の内面と底面および半導体基板の裏面の全体に金属膜を形成する工程と、貫通孔の金属膜に囲まれた空間に樹脂を充填する工程と、樹脂が空間に充填された状態で、半導体基板の裏面に形成された金属膜が露出するまで半導体基板の裏面を研磨する工程とを有する。

【0014】半導体基板の裏面で貫通孔を覆う所定の領域に導体層を形成する工程を有してもよい。

【0015】本発明は半導体基板貫通導体内を完全に金属で埋め込まずに、接地導通が確保できる厚さの金属層を孔の内面に形成し、金属層に囲まれた貫通孔を金属に比べて柔らかい樹脂で埋め込むものである。樹脂が熱履歴に起因する応力を吸収し、チップを接着するときははんだ材の吸い上げを防止し、半導体基板貫通導体近傍の半導体基板へのクラック発生を抑制できる。このため半導体基板表面の半導体素子や回路配線に影響を及ぼさない。また、半導体基板の垂直ドライ加工技術は進展しており、電気抵抗の低い金属層のみで接続できることから、微細な径の半導体基板貫通導体を多数設けて接地することができるようとなる。

【0016】

【発明の実施の形態】次に本発明の実施の形態の半導体装置と半導体基板貫通導体の形成方法を図面を参照して説明する。図1は本発明の第1の実施の形態の半導体装置の模式的断面図である。

【0017】本発明の第1の実施の形態の半導体装置は、半導体基板1を有し、半導体基板1の表面には不図示の半導体素子とその回路が形成されて絶縁膜6で保護されており、半導体基板1の所定の位置に表面から裏面に貫通する開口が穿孔され、その開口の内面部に半導体基板貫通導体を構成する貫通金属膜の埋込配線3が形成され、この埋込配線3により囲まれた空間部が樹脂膜4によって充填されている。さらに、半導体基板の裏面には所定の位置に裏面導体膜が形成されて、その裏面導体膜に埋込配線3が電気的に接続され、裏面導体膜は目的により接地パット12または端子パット13となっている。

【0018】図1に示すように接地以外の電極を裏面に設けた端子パッド13と半導体基板貫通導体2の貫通金属膜で接続し、端子パッド13を実装基板やパッケージの電極とはんだ材で直接接続することで金属ワイヤのインダクタ成分の影響を除くことができる。この場合、接地対象のFETソース電極はチップ中央部で大きく広い接地パット12に接続させ、入力のゲート電極や出力のドレイン電極は半導体基板1周辺で小さな端子パッド1

3に接続される。

【0019】図2は図1の半導体装置をパッケージに実装した状態を示す模式的断面図である。半導体基板1の中央部の接地パッド12に対応してパッケージには接地金属体17が配設されている。接地パッド12をはんだ材15で接地金属体17に接続することによって接地と同時に半導体基板1の放熱が行われる。半導体基板1の周辺の端子パッド13はパッケージの端子配線14にはんだ材15で接続される。端子配線14はセラミック16で接地金属体17から絶縁されている。

【0020】従来から、裏面に電極パッドを設けることが試みられているが、半導体基板貫通導体の穴がそのまま残っているため、はんだ材15の穴への吸い上げが生ずるおそれがあるので端子パッドを半導体貫通導体の中心を外した位置に設ける必要があった。本発明では半導体基板貫通導体2の内部に樹脂膜4が充填されているのではんだ材15の穴への吸い上げが生ぜず、半導体基板貫通導体2の位置に端子パッド13を直接設けることができるので、半導体基板における端子パッド13の占有面積を少なくでき、その分だけ接地や冷却のための接地パッド12の面積を広く確保できる。さらに、ボンディングワイヤを用いないため、インダクタ成分や抵抗成分が低減でき、ミリ波帯での高周波性能を安定化できる。

【0021】図1では半導体基板1の裏面に接地パット12と端子パット13が設けられている構造で示しているが、半導体基板1の裏面全体に接地パット12のみを設け、それ以外の端子パットは半導体チップ表面に設け、実装基板やパッケージの電極に金属ワイヤでボンディングしてもよい。

【0022】次に本発明の第1の実施の形態の半導体装置に半導体基板貫通導体を形成する方法について図面を参照して説明する。図3は本発明の第1の実施の形態の半導体装置に半導体基板貫通導体を形成する方法を説明するための模式的断面図であり、(a)は非貫通穴形成の工程、(b)は埋込配線と樹脂膜形成の工程、(c)は裏面研磨の工程、(d)は裏面に金属層を形成する工程を示す。ここでは半導体装置は高周波トランジスタであり、GaAs電界効果トランジスタ(GaAsFET)として説明する。

【0023】図3(a)に示すように、厚さ600μmの半絶縁性GaAsの半導体基板1の表面にGaAsFET素子(図示せず)をまず形成し、SiO₂等の絶縁膜6で覆う。FET素子の電極へのスルーホール形成工程と同時に、ソース電極の近くの半導体基板1の表面に開口を形成する。改めて10μm程度の厚いホトレジスト膜の30μm角の開口をマスクに深さ約130μmまでドライエッティングする。ドライエッティングはICP(Inductive Coupled Plasma)方式で高周波バイアスを加え、塩素ガスに数十%のアルゴンArガスを添加する。ICP方式は高い真密度

(小さいガス圧)でガスをプラズマ化できるため、深い開口内から反応生成物のガスを排気でき、エッティングガスのラジカルも供給でき、垂直に近い深い非貫通穴11を速い速度のエッティングで形成できる。

【0024】次に図3(b)に示すように、配線工程のとして、めっきの給電用に厚さ50nmのTiと厚さ200nmのAuをスパッタ堆積する。深い非貫通穴11の側面にも半導体基板表面の30%程度の厚さで堆積される。次にホトレジスト膜パターンでマスクして厚さ5μmのAuめっきを施す。弱い超音波を加えてめっき液を揺らすことで、非貫通穴11内にも表面と同程度の厚さのAuめっきを施すことができる。この後、ホトレジスト膜を除去し、Arイオンミリングを加え、給電に用いたAu/Ti層をエッティング除去する。

【0025】これに続いて層間絶縁膜として低誘電率なBCB(ベンゾシクロブテン)の樹脂膜4を厚さ20μm塗布する。実際には10μm毎に2分割して塗布する。樹脂液を基板に垂らして盛り上げることにより、BCB樹脂膜4を半導体基板貫通導体2内に入り込ませ、半導体基板を回転させて所定の厚さとし、溶剤を気化させる。温度を急速に高めると表面が硬化して溶剤が中に閉じ込められるため、低い温度で時間をかけるか、ゆっくり温度を上げるようにする。2回の塗布後、BCB樹脂を300℃で硬化させる。これで半導体基板貫通導体2内の埋込配線3に囲まれた空間部はBCB樹脂膜4で埋め込まれる。図示しないが、BCB樹脂膜にスルーホールを設け、配線とパッドを形成し、保護膜等を設けて半導体基板の表面側の構造を完成させる。

【0026】次に、図3(c)に示すように、半導体基板1の裏面を研磨し、厚さ100μmまで薄くする。埋込配線3の底部が除去され側面の埋込配線3が露出し内側のBCB樹脂膜4も露出する。

【0027】次に、図3(d)に示すように、スパッタ装置内で半導体基板1の裏面をArクリーニングした後、裏面導体膜である厚さ50nmのTiと厚さ400nmのAuをスパッタ堆積し裏面金属5を設ける。それによって半導体基板貫通導体側面の埋込配線3に裏面金属5が電気的に接続される。ここでは裏面金属5を形成することとしたが金属に限られるものではなく導体膜であればよい。

【0028】図1に示される接地パッド12や端子パッド13などの裏面パッドは、表面の配線と同様に形成する。裏面電極としてTiとAuをスパッタ堆積した後、ホトレジスト膜パターンを設けてAuめっきを施し、余分なAu/Ti層をイオンミリング除去し、電極パッドを形成する。また、ホトレジスト膜の露光位置合せは半導体基板貫通導体2で形成したマークを用いる。ここでは裏面パッドを金属としたが金属に限られるものではなく導体膜であればよい。

【0029】これで、ウェーハ上に半導体装置として必

要な要素が形成されるので、この後、ウェーハをダイシングして個々の半導体装置をチップ化する。図2に示すようにパッケージの金属面にAuSnはんだ材15を置き、加熱で軟化させ、チップ裏面の接地パッド12を馴染ませて接着する。端子パッド13も端子配線14上にAuSnはんだ材15を置き、加熱で軟化させ、チップ裏面の接地パッド12を馴染ませて接着する。

【0030】本発明の実施の形態の半導体装置では半導体基板貫通導体の貫通孔が樹脂で塞がれているため、はんだ材が吸い上げられて半導体基板貫通導体近傍の半導体基板にクラックを生じさせることはない。また、半導体基板貫通導体内が金属で完全に埋め込まれていないため、熱履歴の金属応力でクラックが生じることはない。また、30μm角の半導体基板貫通導体を30μm離した間隔で多数設けた場合にもクラックは生じなかつた。

【0031】次に本発明の第2の実施の形態の半導体装置と半導体基板貫通導体の形成方法とを図面を参照して説明する。図4は本発明の第2の実施の形態の半導体装置の模式的断面図である。

【0032】本発明の第2の実施の形態の半導体装置は、半導体基板21を有し、半導体基板21の表面には不図示の半導体素子とその回路が形成され、所定の位置に半導体基板貫通導体22と接続させるための表面パッド27が形成されている。その表面パッド27に向けて半導体基板1の裏面から表面パッド27の裏面まで開口が穿孔され、その開口の内面部に半導体基板貫通導体22を構成する貫通金属膜の埋込配線23が形成され、この埋込配線23により囲まれた空間部が樹脂膜24によって充填されている。

【0033】さらに、半導体基板の裏面に延びる埋込配線23に裏面導体膜が電気的に接続され、裏面導体膜は目的により接地パット32または端子パット33となっている。

【0034】図4に示すように接地以外の電極を裏面に設けた端子パッド33と半導体基板貫通導体22の貫通金属膜で接続し、端子パッド33を実装基板やパッケージの電極とはんだ材で直接接続することで金属ワイヤのインダクタ成分の影響を除くことができる。この場合、接地対象のFETソース電極はチップ中央部で大きく広い接地パッド32に接続させ、入力のゲート電極や出力のドレイン電極は半導体基板21周辺で小さな端子パッド33に接続される。実装基板やパッケージへの接続方法は図2を参照して説明した第1の実施の形態と同じなので説明を省略する。

【0035】半導体基板貫通導体は従来、裏面から開口されることが行われていた。本発明の第2の実施の形態の半導体装置への半導体基板貫通導体の形成は、裏面からの開口に対して本発明を適用したものである。

【0036】図4では半導体基板21の裏面に接地パッ

ト32と端子パット33が設けられている構造で示しているが、半導体基板21の裏面全体に接地パット32のみを設け、それ以外の端子パットは半導体チップ表面に設け、実装基板やパッケージの電極に金属ワイヤでボンディングしてもよい。

【0037】次に、本発明の第2の実施の形態の半導体装置に半導体基板貫通導体を形成する方法について図面を参照して説明する。図5は本発明の第2の実施の形態の半導体装置に半導体基板貫通導体を形成する方法を説明するための模式的断面図であり、(a)は貫通孔形成の工程、(b)は埋込配線と樹脂膜形成の工程、(c)は裏面研磨の工程、(d)は裏面に金属層を形成する工程を示す。

【0038】図5(a)に示すように、半導体基板21の表面に電極もしくは配線として表面パッド27を形成する。不図示の表面の素子および配線の形成を行った後、半導体基板21の裏面を研磨して半導体基板21を100μmに薄くする。表面パッド27の位置に対応する半導体基板21の裏面にホトレジスト開口を設け、ドライエッチングを行い貫通孔31を形成する。表面パッド27の裏側が露出した状態でエッチングを停止させる。

【0039】次に、図5(b)に示すように半導体基板21の裏面と貫通孔31の側面と底面に埋込配線23を形成し、貫通孔31内の貫通金属膜である埋込配線23に囲まれた空間を樹脂膜24で埋め込む。埋込配線23はTiとAuをスパッタ堆積し、Auめっきを厚さ5μm施す。この後、裏面にポリイミドやエポキシ等の樹脂24を回転塗布し硬化させる。

【0040】次に、図5(c)に示すように、半導体基板21の裏面の研磨を行なって裏面の樹脂膜24を除去し、Auめっきを施した埋込配線3の面を露出させる。これにより半導体基板貫通導体22の埋込配線23で囲まれた空間には樹脂24が埋め込まれた状態で残る。

【0041】次に、図5(d)に示すように、裏面にTiとAuをスパッタ堆積し裏面導体膜である裏面金属25とする。半導体基板貫通導体22は樹脂24で埋め込まれ、裏面はほぼ平坦な金属面となる。ここでは裏面金属25を形成することとしたが金属に限られるものではなく導体膜であればよい。

【0042】この後は第1の実施の形態と同様にチップとし、実装することができる。また、第1の実施の形態と同様に裏面金属を電極パッドとすることも可能である。

【0043】本発明の実施の形態の半導体装置の半導体基板貫通導体の内部の空間を埋め込む樹脂に要求される条件は、チップとした後のはんだ付け等の加熱で変質や大きな膨張がないこと、裏面研磨で埋め込んだ樹脂にクラックが生じないこと等である。現在耐熱性の樹脂の開発が進んでおり、市場での選択肢は広い。ポリイミド

系、エポキシ系、テフロン系、弗素系、等の樹脂が使用可能である。

【0044】半導体基板貫通導体の外径が数百 μm を越えて広くなると樹脂にクラックが生じ易くなるため、これ以下が望ましい。また、非貫通穴に形成された埋込配線の内部の空間の深さ／径の比が10倍を越えると、樹脂の溶剤が抜け難くなるため、半導体基板貫通導体の径が制限される。

【0045】半導体基板は砒化ガリウムGaAsで説明したが、当然SiやInP等に適用することも可能である。

【0046】半導体基板貫通導体として埋め込む金属はAuめっきで説明したが、CuやNi等のめっき、もしくはスパッタ堆積やCVDで行ってもよい。裏面導体もこのような金属以外に炭素や金属粉を含む樹脂でもよい。

【0047】実装のはんだ材はAuSnの他に、一般的な鉛錫はんだPbSn、単体としてSnやIn等の使用も可能である。また、Agペースト等の金属粉を含む樹脂接着剤でもよい。

【0048】

【発明の効果】本発明の半導体装置は半導体基板貫通導体内の空間を完全に金属で埋め込まずに金属膜は接地導通が確保できる厚さとし、金属膜の内部の空間を金属に比べて柔らかい樹脂で埋め込むことで、樹脂が熱履歴の応力を吸収し、チップを接着するときのはんだ材の吸い上げを防止するので、半導体基板貫通導体傍の半導体基板へのクラックの発生を抑制できる。このため半導体基板表面の半導体素子や回路配線に影響を及ぼすことがない。また、微細な径の半導体基板貫通導体を多数設けて接地することが可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の模式的断面図である。

【図2】図1の半導体装置をパッケージに実装した状態を示す模式的断面図である。

10

* 【図3】本発明の第1の実施の形態の半導体装置に半導体基板貫通導体を形成する方法を説明するための模式的断面図である。(a)は非貫通穴形成の工程を示す。

(b)は埋込配線と樹脂膜形成の工程を示す。(c)は裏面研磨の工程を示す。(d)は裏面に金属層を形成する工程を示す。

【図4】本発明の第2の実施の形態の半導体装置の模式的断面図である。

【図5】本発明の第2の実施の形態の半導体装置に半導体基板貫通導体を形成する方法を説明するための模式的断面図である。(a)は貫通孔形成の工程示す。(b)

は埋込配線と樹脂膜形成の工程示す。(c)は裏面研磨の工程示す。(d)は裏面に金属層を形成する工程を示す。

【図6】従来例の半導体基板貫通導体の形成方法を説明するための模式的断面図である。(a)は非貫通穴形成の工程を示す。(b)は埋込配線形成の工程を示す。

(c)は裏面研磨の工程を示す。(d)は裏面に金属層を形成する工程を示す。

20

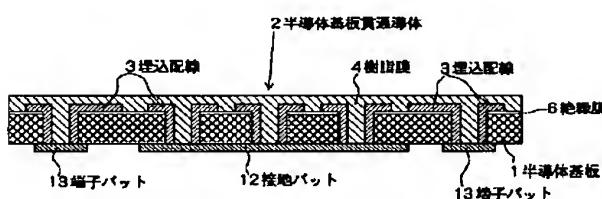
【符号の説明】

1、21、51	半導体基板
2、22、52	半導体基板貫通導体
3、23、53	埋込配線
4、24	樹脂膜
5、25、55	裏面金属
6	絶縁膜
11、31、61	非貫通穴
12、32	接地パッド
13、33	端子パッド
14	端子配線
15	はんだ材
16	セラミック
17	接地金属体
27	表面パット
31	貫通孔

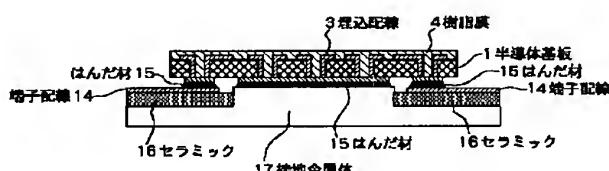
30

*

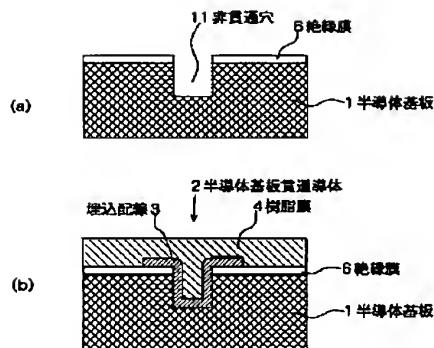
【図1】



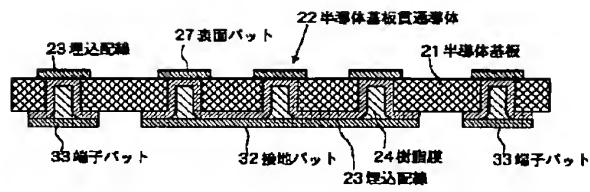
【図2】



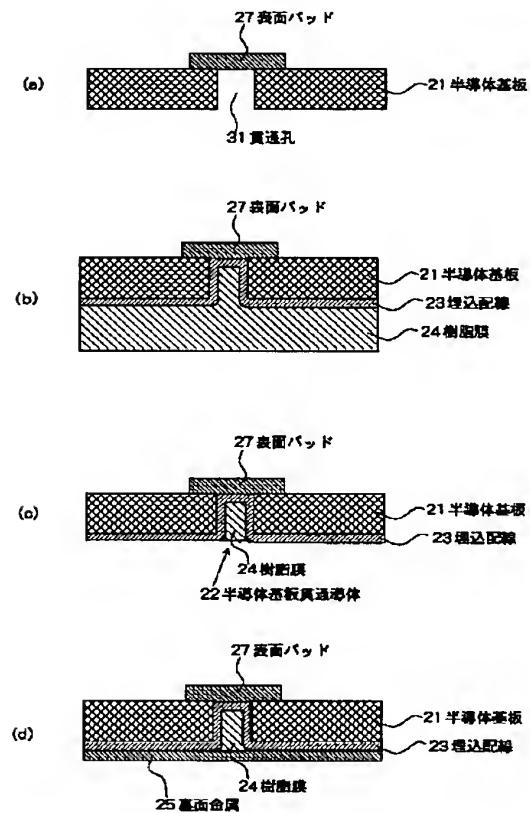
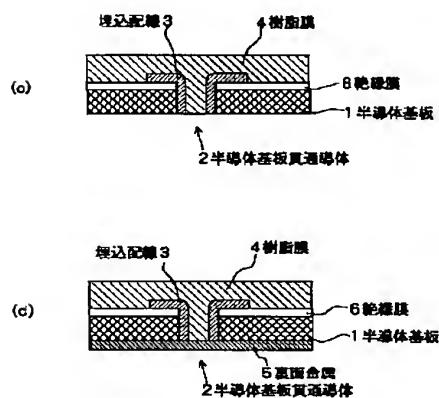
【図3】



【図4】



【図5】



【図6】

